

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

MIN-HYUNG CHO, ET AL.

Application No.:

Filed:

For: **Quadrature Modulation Transmitter**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Korea	10-2002-0079924	14 December 2002

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 12/12/03

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800


Eric S. Hyman, Reg. No. 30,139



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0079924
Application Number

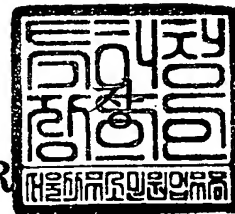
출원 년 월 일 : 2002년 12월 14일
Date of Application DEC 14, 2002

출원인 : 한국전자통신연구원
Applicant(s) Electronics and Telecommunications Research Inst



2003 년 11 월 25 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002. 12. 14
【발명의 명칭】	직교 변조 송신기
【발명의 영문명칭】	QUADRATURE MODULATION TRANSMITTER
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-051975-8
【발명자】	
【성명의 국문표기】	조민형
【성명의 영문표기】	CHO, Min Hyung
【주민등록번호】	751101-1852429
【우편번호】	302-120
【주소】	대전광역시 서구 둔산동 한마루아파트 102-804
【국적】	KR
【발명자】	
【성명의 국문표기】	이승철
【성명의 영문표기】	LEE, Seung Chul
【주민등록번호】	730920-1005514
【우편번호】	130-050
【주소】	서울특별시 동대문구 회기동 60-121
【국적】	KR
【발명자】	
【성명의 국문표기】	박문양
【성명의 영문표기】	PARK, Mun Yang

【주민등록번호】	580918-1674616		
【우편번호】	305-503		
【주소】	대전광역시 유성구 송강동 200-4 한마을아파트 109-105		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	11	면	11,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	3	항	205,000 원
【합계】	245,000 원		
【감면사유】	정부출연연구기관		
【감면후 수수료】	122,500 원		
【기술이전】			
【기술양도】	희망		
【실시권 허여】	희망		
【기술지도】	희망		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】

【요약】

본 발명의 직교 변조 송신기는, 기존에 이동통신 시스템에서 사용되고 있는 헤테로다인 방식의 송신기나 Digital IF 방식의 송신기처럼 직교변조 기능을 갖는 송신기와 동일한 기능을 수행하면서 기존 방식의 몇몇 문제점을 해결한 새로운 구조를 갖는 직교변조 송신부의 구조를 제안하고자 한다. 이렇게 새롭게 제안된 구조의 송신부를 이용하면 기존의 구조에 비해 회로의 구조도 간단하고, 전력소모도 작은 직교 변조 송신기를 제공하는데 그 목적이 있다.

상기 목적을 달성하기 위하여 본 발명은, I 채널 데이터, Q 채널 데이터 및 클럭 신호를 입력받고, 상기 클럭 신호와 동일한 신호인 I 클럭 신호의 스위칭에 따라 상기 I 채널 데이터 또는 상기 I 채널 데이터의 반전 데이터를 I 채널 DAC를 통해 제1 아날로그 신호로 변조하고, 상기 클럭 신호의 반전 신호인 Q 클럭 신호의 스위칭에 따라 상기 Q 채널 데이터 또는 상기 Q 채널 데이터의 반전 데이터를 Q 채널 DAC를 통해 제2 아날로그 신호로 변조하는 디지털 처리부 ; 및 상기 디지털 처리부로부터 상기 제1 아날로그 신호 및 상기 제2 아날로그 신호를 입력받고, 상기 제1 아날로그 신호 및 상기 제2 아날로그 신호를 가산하고, 가산된 신호를 혼합 과정을 통하여 RF 신호 영역으로 이전하며, 이전된 신호를 증폭하여 전송하는 아날로그 처리부를 포함한다.

【대표도】

도 4

【색인어】

직교 변조, 송신기

【명세서】

【발명의 명칭】

직교 변조 송신기{QUADRATURE MODULATION TRANSMITTER}

【도면의 간단한 설명】

도 1은 종래의 헤테로다인 방식의 송신기 구조를 나타낸 블록도,
도 2는 종래의 직접 변환 방식의 송신기 구조를 나타낸 블록도,
도 3은 종래의 디지털 IF 방식의 송신기 구조를 나타낸 블록도,
도 4는 본 발명의 일실시예에 의한 직교 변조 송신기를 나타낸 블록도,
도 5a 내지 도 5c는 일반적인 아날로그 혼합기의 동작을 나타낸 예시도,
도 6a 내지 도 6c는 DAC 내에서 수행되는 디지털-아날로그 변환 동작을 나타낸 예시도,
도 7a 내지 도 7c는 본 발명의 디지털 처리부의 동작을 나타낸 예시도,
도 8a 및 도 8b는 종래의 아날로그 방식의 직교 변조기의 동작을 나타낸 예시도,
도 9a는 본 발명의 일 실시예에 의한 직교 변조 송신기의 디지털 처리부를 나타낸 블록도,
도 9b는 도 9a에 따른 디지털 처리부의 동작을 나타낸 타이밍도,
도 10 및 도 11은 본 발명의 일 실시예에 의한 직교 변조 송신기가 적용된 시스템을 나타낸 예시도.

* 도면의 주요 부분에 대한 부호의 설명 *

410 : 디지털 처리부 420 : 아날로그 처리부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 직교 변조 송신기에 관한 것으로, 이동통신 시스템의 송신부에 있어서 직교 변조를 담당하는 직교 변조 송신기에 관한 것이다.
- <15> 지금까지 사용되고 있는 대표적인 이동통신 시스템들은 PCS, CDMA2000, GSM, WCDMA등 여러 가지가 있다. 이러한 이동통신 시스템들에서 사용하는 송신부의 구조는 헤테로다인 방식, 직접 변환(Direct Conversion) 방식, 디지털(Digital) IF 방식 등이 있다. 헤테로다인 방식의 경우 가장 오래 사용되고 있고, 그리고 지금도 가장 많이 사용되고 있는 방식이다. 또한, 직접 변환(Direct Conversion) 방식, 디지털(Digital) IF 방식은 헤테로다인 방식의 단점을 보완하기 위해 최근에 사용되고 있는 방식들이다.
- <16> 도 1은 종래의 헤테로다인 방식의 송신기 구조를 나타낸 블록도로서, 이러한 헤테로다인 방식의 송신기의 경우 지금까지 이동통신 시스템에서 가장 많이 사용되고 있는 구조이다. 이러한 종래의 송신기 구조는, 이동통신 시스템의 디지털 모뎀에서 생성된 I 채널의 데이터(I_Data)를 입력받아 아날로그 데이터로 변환하는 제1 DAC(101); 이동통신 시스템의 디지털 모뎀에서 생성된 Q 채널의 데이터(Q_Data)를

입력받아 아날로그 데이터로 변환하는 제2 DAC(102); 제1 DAC(101)로부터 아날로그 데이터를 입력받아 여파하는 제1 반-에일리어싱(anti-aliasing) 필터(103); 제2 DAC(102)로부터 아날로그 데이터를 입력받아 여파하는 제2 반-에일리어싱(anti-aliasing) 필터(104); 제1 반-에일리어싱(anti-aliasing) 필터(103)의 출력 신호 및 I 클럭(CLK_I)을 혼합하여 중간 주파수 신호를 생성하는 제1 IF 혼합기(105); 제2 반-에일리어싱(anti-aliasing) 필터(104)의 출력 신호 및 I 클럭(CLK_I)과 90도의 위상차를 갖는 Q 클럭(CLK_Q)을 혼합하여 중간 주파수 신호를 생성하는 제2 IF 혼합기(106); 제1 IF 혼합기(105) 및 제2 IF 혼합기(106)의 신호를 가산하는 가산기(107); 가산기(107)의 신호를 증폭하는 가변 증폭기(108); 가변 증폭기(108)의 출력 신호를 입력받아 믹싱 과정을 통하여 RF 주파수 영역으로 옮기는 RF 혼합기(109); RF 혼합기(109)의 출력 신호를 증폭하는 전력 증폭기(110); 및 전력 증폭기(110)의 출력 신호를 공중으로 전송하는 안테나(111)를 포함한다.

<17> 상술한 종래의 헤테로다인 방식의 송신기 구조의 동작에 관하여 설명하면 다음과 같다.

<18> 먼저, 이동통신 시스템의 디지털 모뎀에서 생성된 I채널의 데이터와 Q채널의 데이터가 각각 DAC(101, 102)를 거쳐 아날로그 신호로 변환된 후 다시 각각 안티에일리어싱 필터(103, 104)를 거친 후 각각 90도의 위상차를 갖는 I 클럭과 Q 클럭에 의해 중간주파수로 변환되고, 각 I채널과 Q채널의 신호를 더해서 이를 가변이득증폭기(108)를 거친 후 RF 혼합기(109)를 통해 중간주파수를 RF주파수 영역으로 옮기고 마지막으로 전력증폭기(110)를 거쳐 안테나(111)를 통해 신호를 전송하게 된다.

<19> 이와 같은 헤테로다인 구조의 송신기는 채널의 선택도 및 여러 가지 장점으로 인해 지금까지 가장 많이 사용된 송신기 구조이다. 그러나, 그 구조의 복잡성으로 인해 회로가 복잡해서 전력 소모도 많고, 칩 외부에 사용되는 부품의 수도 많다. 그런데 점차 이동통신용 단말기의

소형화, 경량화, 저가격화 그리고 오랜 시간 충전하지 않고 사용할 수 있어야 한다는 저전력화 같은 점이 요구되면서 헤테로다인 방식의 송신기는 부품 수가 많고, 전력소모가 많은 문제점이 있다.

<20> 도 2는 종래의 직접 변환(Direct Conversion) 방식의 송신기 구조를 나타낸 블록도로서, 직접 변환(Direct Conversion) 방식은 헤테로다인 방식에서처럼 기저대역(Baseband) 신호를 중간주파수 대역으로 옮기고, 이를 다시 RF 주파수 대역으로 옮기는 방식을 사용하지 않고 기저대역 신호를 직접 RF 주파수 대역으로 옮기는 방식을 사용한다. 이러한 종래의 직접 변환(Direct Conversion) 방식의 송신기는, 이동통신 시스템의 디지털 모뎀에서 생성된 I 채널의 데이터(I_Data)를 입력받아 아날로그 데이터로 변환하는 제1 DAC(201); 이동통신 시스템의 디지털 모뎀에서 생성된 Q 채널의 데이터(Q_Data)를 입력받아 아날로그 데이터로 변환하는 제2 DAC(202); 제1 DAC(201)로부터 아날로그 데이터를 입력받아 여파하는 제1 반-에일리어싱(anti-aliasing) 필터(203); 제2 DAC(202)로부터 아날로그 데이터를 입력받아 여파하는 제2 반-에일리어싱(anti-aliasing) 필터(204); 제1 반-에일리어싱(anti-aliasing) 필터(203)의 출력 신호를 증폭하는 제1 가변 증폭기(205); 제2 반-에일리어싱(anti-aliasing) 필터(204)의 출력 신호를 증폭하는 제2 가변 증폭기(206); 제1 가변 증폭기(205)의 출력 신호 및 I 클럭(CLK_I)을 혼합하여 RF 신호를 생성하는 제1 RF 혼합기(207); 제2 가변 증폭기(206)의 출력 신호 및 I 클럭(CLK_I)과 90도의 위상차를 갖는 Q 클럭(CLK_Q)을 혼합하여 RF 신호를 생성하는 제2 RF 혼합기(208); 제1 RF 혼합기(207) 및 제2 RF 혼합기(208)의 신호를 가산하는 가산기(209); 가산기(209)의 출력 신호를 증폭하는 전력 증폭기(210); 및 전력 증폭기(210)의 출력 신호를 공중으로 전송하는 안테나(211)를 포함한다.

- <21> 직접 변환(Direct Conversion) 방식의 송신기에서 신호를 전송하는 과정은 다음과 같다. 우선 디지털 모뎀에서 생성된 I채널과 Q채널의 데이터가 각각 DAC(201, 202)를 통해 아날로그 신호로 바뀌고, 안티에일리어싱 필터(203, 204)와 기저대역 가변이득증폭기(205, 206)를 통과한 후 각각 RF 혼합기(207, 208)를 통해 바로 기저대역 신호에서 RF 신호로 바뀌게 된다. 따라서 헤테로다인 방식에서 보이던 중간주파수 변환 믹서가 사용되지 않고, 가변이득증폭기의 경우 동작 주파수가 낮아짐에 따라 전력 소모가 줄어들어 가변이득증폭기의 개수가 2개가 되었음에 불구하고 전체적인 전력 소모는 줄어들게 된다.
- <22> 그러나, 직접 변환(Direct Conversion) 방식의 경우 DC 오프셋(Offset) 문제, RF 주파수에서의 직교(Quadrature) 클럭의 생성과 같은 새로운 문제점이 있다.
- <23> 도 3은 종래의 디지털 IF 방식의 송신기 구조를 나타낸 블록도로서, 이러한 종래의 디지털 IF 방식의 송신기는, I 클럭과 Q 클럭을 생성하는 DDS(Direct Digital Synthesis)(301); 디지털 모뎀에서 생성된 I 채널(I_Data)의 여파된 신호 및 DDS(Direct Digital Synthesis)(301)로부터 I 클럭을 입력받아 곱하는 제1 디지털 곱셈기(302); 디지털 모뎀에서 생성된 Q 채널(Q_Data)의 여파된 신호 및 DDS(Direct Digital Synthesis)(301)로부터 Q 클럭을 입력받아 곱하는 제2 디지털 곱셈기(303); 제1 디지털 곱셈기(302)의 출력 신호인 중간 주파수 신호 및 제2 디지털 곱셈기(303)의 출력 신호인 중간 주파수 신호를 입력받아 가산하는 덧셈기(304); 덧셈기(304)에서 출력한 디지털 데이터를 아날로그 신호로 변환하는 DAC(305); DAC(305)의 신호를 증폭하는 가변 증폭기(306); 가변 증폭기(306)의 출력 신호를 입력받아 믹싱 과정을 통하여 RF 주파수 영역으로 옮기는 RF 혼합기(307); RF 혼합기(307)의 출력 신호를 증폭하는 전력 증폭기(308); 및 전력 증폭기(308)의 출력 신호를 공중으로 전송하는 안테나(309)를 포함한다.

<24> 상술한 디지털(Digital) IF 방식의 경우 헤테로다인 방식에서 중간주파수 생성 부분까지 모두 디지털영역에서 이루어지는 방식으로 그 동작은 다음과 같다. 디지털 모뎀에서 생성된 I 채널과 Q채널의 데이터가 각각 디지털(Digital) 안티에일리어싱 필터를 통과한다. 그리고 각각의 신호는 각 채널의 디지털 곱셈기(Digital multiplier)(302, 303)를 통해 중간주파수 신호로 바뀌게 된다. 여기에서 사용되는 I 클럭과 Q 클럭은 DDS(Direct Digital Synthesis)(301)에서 생성된 것이다. 그리고 이렇게 생성된 I채널과 Q채널의 중간주파수 디지털 신호가 덧셈기(304)를 통해 더해진 후 이 디지털 데이터가 DAC(305)를 거쳐 아날로그 신호로 바뀌게 된다. 그 이후에는 헤테로다인 방식에서와 마찬가지로 가변이득증폭기(306), RF 믹서(307), 전력증폭기(308)를 거쳐 안테나(309)를 통해 신호가 전송되게 된다.

<25> 이 방식에서는 기저대역 신호부터 중간주파수 신호까지 모두 디지털 영역에서 수행되므로 헤테로다인 방식에서 문제가 되는 I채널과 Q채널 사이의 이득 불일치(mismatch), 위상 불일치(mismatch)같은 문제가 발생하지 않는 장점이 있다. 그러나, 중간주파수 부분까지 디지털 영역에서 처리하기 위해서는 상당히 복잡하고, 고속으로 동작하는 디지털 회로가 필요하게 되고, 따라서 전력 소모도 상당히 많아져서 헤테로다인 방식의 전력소모에 비해 전력소모가 적지 않고, 그 구현도 디지털 신호처리 영역에서 상당히 복잡해지는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<26> 상기 문제점을 해결하기 위하여 안출된 본 발명은, 기존에 이동통신 시스템에서 사용되고 있는 헤테로다인 방식의 송신기나 Digital IF 방식의 송신기처럼 직교변조 기능을 갖는 송신기와 동일한 기능을 수행하면서 기존 방식의 몇몇 문제점을 해결한 새로운 구조를 갖는 직교변조 송신부의 구조를 제안하고자 한다. 이렇게 새롭게 제안된 구조의 송신부를 이용하면 기

존의 구조에 비해 회로의 구조도 간단하고, 전력소모도 작은 직교 변조 송신기를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<27> 상기 목적을 달성하기 위하여 본 발명의 직교 변조 송신기는, I 채널 데이터, Q 채널 데이터 및 클럭 신호를 입력받고, 상기 클럭 신호와 동일한 신호인 I 클럭 신호의 스위칭에 따라 상기 I 채널 데이터 또는 상기 I 채널 데이터의 반전 데이터를 I 채널 DAC를 통해 제1 아날로그 신호로 변조하고, 상기 클럭 신호의 반전 신호인 Q 클럭 신호의 스위칭에 따라 상기 Q 채널 데이터 또는 상기 Q 채널 데이터의 반전 데이터를 Q 채널 DAC를 통해 제2 아날로그 신호로 변조하는 디지털 처리부; 및 상기 디지털 처리부로부터 상기 제1 아날로그 신호 및 상기 제2 아날로그 신호를 입력받고, 상기 제1 아날로그 신호 및 상기 제2 아날로그 신호를 가산하고, 가산된 신호를 혼합 과정을 통하여 RF 신호 영역으로 이전하며, 이전된 신호를 증폭하여 전송하는 아날로그 처리부를 포함한다.

<28> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 본 발명의 가장 바람직한 실시예들을 첨부된 도면을 참조하여 설명하기로 한다.

<29> 도 4는 본 발명의 일실시예에 의한 직교 변조 송신기를 나타낸 블록도로서, 이러한 본 발명의 직교 변조 송신기는, 디지털 처리부(410) 및 아날로그 처리부(420)를 포함한다.

- <30> 디지털 처리부(410)는, I 채널 데이터(I_Data), Q 채널 데이터(Q_Data) 및 클럭 신호(CLK)를 입력받고, 상기 클럭 신호(CLK)와 동일한 신호인 I 클럭 신호(CLK_I)의 스위칭에 따라 상기 I 채널 데이터(I_Data) 또는 상기 I 채널 데이터(I_Data)의 반전 데이터를 제1 아날로그 신호로 변조하고, 상기 클럭 신호(CLK)의 반전 신호인 Q 클럭 신호(CLK_Q)의 스위칭에 따라 상기 Q 채널 데이터(Q_Data) 또는 상기 Q 채널 데이터(Q_Data)의 반전 데이터를 제2 아날로그 신호로 변조하는 역할을 한다. 여기서, 상기 디지털 처리부(410)에 관하여 상세히 설명하면 다음과 같다.
- <31> 상기 디지털 처리부(410) 내에 장착된 제1 인버터(411)는, 상기 I 채널 데이터(I_Data)를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.
- <32> 또한, 상기 디지털 처리부(410) 내에 장착된 제1 T 플립플롭(Flip-flop)(412)은, 상기 I 클럭 신호(CLK_I)를 클럭 단자로 입력받고, 상기 I 클럭 신호(CLK_I)에 따라 제1 스위치 제어 신호를 출력하는 역할을 한다. 여기서, 이미 잘 알려진 바와 같이, 제1 T 플립플롭(Flip-flop)의 입력 신호인 상기 I 클럭 신호(CLK_I)가 제1 논리 단계(0)인 경우에는, 한 클럭 이전의 신호가 홀드(Hold)되고, 상기 I 클럭 신호(CLK_I)가 제2 논리 단계(1)인 경우에는, 한 클럭 이전의 신호와 다른 논리 단계로 전환된 신호를 나타내는 토글(Toggle) 현상을 보인다.
- <33> 한편, 상기 디지털 처리부(410) 내에 장착된 제1 스위치(413)는, 상기 제1 T 플립플롭(Flip-flop)의 출력 신호가 제1 논리 단계(L)인 경우에는 상기 제1 인버터(411)의 출력 신호를 도통시키고, 상기 제1 T 플립플롭(Flip-flop)의 출력 신호가 제2 논리 단계(H)인 경우에는 상기 I 채널 데이터(I_Data)를 도통시키는 역할을 한다.

- <34> 또한, 상기 디지털 처리부(410) 내에 장착된 제1 DAC(414)는, 클럭 단자로 상기 I 클럭 신호(CLK_I)를 입력받아 상기 제1 스위치(413)를 통하여 입력된 신호를 아날로그 신호로 변환하는 동시에 변조하는 역할을 한다.
- <35> 한편, 상기 디지털 처리부(410) 내에 장착된 제2 인버터(415)는, 상기 클럭 신호(CLK)를 반전한 후, 그 결과값을 상기 Q 클럭 신호(CLK_Q)로서 출력하는 역할을 한다.
- <36> 또한, 상기 디지털 처리부(410) 내에 장착된 제3 인버터(416)는, 상기 Q 채널 데이터(Q_Data)를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.
- <37> 또한, 상기 디지털 처리부(410) 내에 장착된 제2 T 플립플롭(Flip-flop)(417)은, 상기 Q 클럭 신호(CLK_Q)를 클럭 단자로 입력받고, 상기 Q 클럭 신호(CLK_Q)에 따라 제2 스위치 제어 신호를 출력하는 역할을 한다. 여기서, 이미 잘 알려진 바와 같이, 제2 T 플립플롭(Flip-flop)의 입력 신호인 상기 Q 클럭 신호(CLK_Q)가 제1 논리 단계(0)인 경우에는, 한 클럭 이전의 신호가 홀드(Hold)되고, 상기 Q 클럭 신호(CLK_Q)가 제2 논리 단계(1)인 경우에는, 한 클럭 이전의 신호와 다른 논리 단계로 전환된 신호를 나타내는 토글(Toggle) 현상을 보인다.
- <38> 한편, 상기 디지털 처리부(410) 내에 장착된 제2 스위치(418)는, 상기 제2 T 플립플롭(Flip-flop)(417)의 출력 신호가 제1 논리 단계(L)인 경우에는 상기 제3 인버터(416)의 출력 신호를 도통시키고, 상기 제2 T 플립플롭(Flip-flop)(417)의 출력 신호가 제2 논리 단계(H)인 경우에는 상기 Q 채널 데이터(Q_Data)를 도통시키는 역할을 한다.
- <39> 또한, 상기 디지털 처리부(410) 내에 장착된 제2 DAC(419)는, 클럭 단자로 상기 Q 클럭 신호(CLK_Q)를 입력받아 상기 제2 스위치(418)를 통하여 입력된 신호를 아날로그 신호로 변환하는 동시에 변조하는 역할을 한다.

- <40> 또한, 아날로그 처리부(420)는, 상기 디지털 처리부(410)로부터 상기 제1 아날로그 신호 및 상기 제2 아날로그 신호를 입력받고, 상기 제1 아날로그 신호 및 상기 제2 아날로그 신호를 가산하고, 가산된 신호를 혼합 과정을 통하여 RF 신호 영역으로 이전하며, 이전된 신호를 증폭하여 전송하는 역할을 한다. 여기서, 상기 아날로그 처리부(420)에 관하여 상세히 설명하면 다음과 같다.
- <41> 상기 아날로그 처리부(420) 내에 장착된 가산기(421)는, 상기 디지털 처리부(410)로부터 상기 제1 아날로그 신호 및 상기 제2 아날로그 신호를 가산한 후, 그 결과값인 중간 주파수 신호(IF(t))를 출력하는 역할을 한다.
- <42> 또한, 상기 아날로그 처리부(420) 내에 장착된 가변 증폭기(422)는, 상기 가산기(421)의 출력 신호를 증폭한 후, 그 결과 신호를 출력하는 역할을 한다.
- <43> 한편, 상기 아날로그 처리부(420) 내에 장착된 RF 혼합기(423)는, 상기 가변 증폭기(422)의 출력 신호를 입력받아 믹싱 과정을 통하여 RF 주파수 영역으로 옮기는 역할을 한다.
- <44> 또한, 상기 아날로그 처리부(420) 내에 장착된 전력 증폭기(424)는, 상기 RF 혼합기(423)의 출력 신호를 증폭한 후, 그 결과 신호를 출력하는 역할을 한다.
- <45> 한편, 상기 아날로그 처리부(420) 내에 장착된 안테나(425)는, 상기 전력 증폭기(424)의 출력 신호를 공중으로 전송하는 역할을 한다.
- <46> 여기서, 도 4에 도시된 본 발명의 송신기와 도 1에 도시된 기존의 헤테로다인 방식의 송신기의 구조를 비교해보면 그 차이점은 다음과 같다. 우선 헤테로다인 방식의 송신기에 존재하는 중간주파수 변환 믹서 2개로 구성된 직교변조기 부분이 없어지고, 그 역할을 DAC(414, 419)

부분에서 담당하게 된다. 그리고 헤테로다인 방식에 존재하던 반-에일리어싱 필터도 없어지게 된다. 대신에 DAC(414, 419) 부분에서 직교 변조를 수행하기 위해 추가되어야 하는 부분은 모뎀에서 생성된 데이터를 반전시키기 위한 인버터 배열(array)(411, 416)과 반전된 데이터와 반전되지 않은 데이터를 선택하기 위한 스위치 배열(413, 418), 그리고 T 플립플롭(Flip-flop)(412, 417)이다. 이렇게 직교변조를 중간주파수 변환 믹서측에서 수행하지 않고 직접 DAC 측에서 수행함으로써 직교변조 송신기의 구조를 간단히 할 수 있다. 그리고 여기에서 직교변조를 DAC측에서 수행하기 위해 추가되는 회로의 전력소모가 헤테로다인 방식의 중간주파수 변환 믹서부분과 반-에일리어싱 필터 부분의 전력소모에 비해 상당히 작게 구현할 수 있다. 따라서 헤테로다인 방식의 송신기에 비해 전력소모도 줄일 수 있다.

<47> 그리고, 도 4에 도시된 본 발명의 송신기와 도 3에 도시된 디지털(Digital) IF 방식의 송신기를 비교해보면 그 차이점은 다음과 같다. 디지털(Digital) IF 방식은 헤테로다인 방식에서 2개의 중간주파수 변환 믹서로 구현되는 직교변조기를 그대로 디지털 영역에서 구현한 것이다. 즉 2개의 디지털 곱셈기(Digital Multiplier)와, 덧셈기(Adder), 그리고 90도의 위상차를 갖는 클럭에 해당하는 신호를 만들어내기 위한 DDS(Direct Digital Synthesis)로 구성되게 된다. 그런데 디지털 곱셈기(Digital Multiplier)의 경우 그 구조가 복잡하고 중간주파수까지 동작하기 위해서는 상당히 많은 전력을 소모하게 된다. 그리고 DAC가 하나만 사용되었지만 이 경우는 I채널과 Q채널에 각각 DAC가 사용되는 경우에 비해 DAC의 해상도가 더 높아져야 하므로 새롭게 제안한 송신기의 구조에서 사용되는 I채널 DAC(414)와 Q채널 DAC(419)를 모두 고려한 것과 비교할 때 그 면적과 전력소모가 적지 않게 된다. 따라서 본 발명에서 제안한 구조의 송신기가 디지털(Digital) IF 방식의 송신기에 비해서도 그 구조가 간단하고, 전력소모도 적다.

- <48> 그러면 지금부터 본 발명에서 제안한 새로운 구조의 직교변조 송신기가 어떻게 기존의 송신기와 동일한 동작을 하며 간단한 구조로 구현될 수 있는지에 대해 자세히 설명하겠다.
- <49> 먼저, 도 5a 내지 도 5c는 아날로그 변조기(105, 106) 내에서 수행되는 아날로그 혼합기의 동작을 나타낸 예시도로서, 이를 참조하여 아날로그 방식의 혼합기의 동작에 대하여 설명하면 다음과 같다.
- <50> 아날로그 혼합기에 입력되는 클럭에 따라 클럭이 제2 논리 단계(high)인 경우는 혼합기에 입력되는 신호 $B(t)$ 가 그대로 출력으로 나가고, 클럭이 제1 논리 단계(low)인 경우는 믹서에 입력되는 신호 $B(t)$ 가 반전되어 출력으로 나가게 된다. 즉, 입력 신호가 클럭의 주파수에 따라 +/-로 계속 교대로 나가게 되고 그 동작은 도 5b에 개시되어 있다. 그리고 그 실제 출력 신호의 파형은 도 5c의 $M(t)$ 와 같은 형태로 나타나게 된다. 즉, $B(t)$ 의 신호가 클럭 주파수(f_{CLK})로 변조(Modulation)된 형태로 나타나는 것이다.
- <51> 도 6a 내지 도 6c는 DAC(414, 419) 내에서 수행되는 디지털-아날로그 변환 동작을 나타낸 예시도로서, 이를 참조하여 디지털-아날로그 변환 동작을 설명하면 다음과 같다.
- <52> DAC는 기본적으로 매 클럭마다 그 디지털 입력값 $B_D(n)$ 에 해당하는 아날로그 출력 신호를 내보내게 된다. 따라서 DAC의 실제 출력신호의 파형을 보게 되면 도 6c의 $M_D(t)$ 와 같이 계단 형태의 출력신호의 파형을 볼 수 있다. 이 신호는 뒤에 필터를 통과하게 되면 사용자가 원하는 아날로그 신호만 얻어낼 수 있는 것이다.
- <53> 도 7a 내지 도 7c는 본 발명의 디지털 처리부(410)의 동작을 나타낸 예시도로서, 이를 참조하여 본 발명의 디지털 처리부(410)의 동작에 관하여 설명하면 다음과 같다.

<54> 먼저, DAC(414, 419)의 디지털 입력신호 $B_D(n)$ 이 한 클럭 건너서 한번씩 반전되어서 들어갈 경우의 DAC(414, 419)의 출력 신호는, 첫 번째 클럭에서는 원래의 출력 신호가 나오게 되고 그 다음 클럭에서는 원래의 입력이 반전되어서 들어오므로 그 출력 신호도 반전된 출력 신호가 나오게 된다. 이러한 동작이 계속 반복되게 되면 이렇게 구성된 DAC의 출력 신호는 아날로그 혼합기의 경우처럼 원래의 출력 신호와 반전된 출력 신호가 번갈아 나타나게 된다. 이러한 구성의 DAC(414, 419)와 그 동작, 그리고 실제 출력 파형의 예가 도시된 도 7a 내지 도 7c에 있어서, 우선 도 7a를 보면, DAC(414, 419)의 입력되는 디지털 데이터를 클럭에 따라 한번은 정상적인 입력, 그리고 그 다음은 반전된 형태의 입력을 가할 수 있는 구성을 볼 수 있다. 이 구성 전체를 도 7a에 도시된 바와 같이 M-DAC라 하겠다. 그리고, 도 7b를 보면, 앞에서 설명한대로 DAC(414, 419)의 입력되는 디지털 데이터가 클럭에 따라 한번은 정상입력, 그리고 그 다음은 반전된 입력이 들어가는 것을 개념적으로 나타내었다. 그리고, 도 7c를 보면, 이렇게 구성된 M-DAC의 실제 출력파형의 예를 볼 수 있다. 이를 보면 M-DAC의 출력 신호가 아날로그 믹서의 출력 신호와 그 형태가 같음을 볼 수 있다. 즉 도 7a와 같이 일반적인 DAC(414, 419)에 단지 인버터(411, 416)와 스위치(413, 418)를 추가해서 구성된 M-DAC는 디지털-아날로그 변환 역할과 주파수 변조기의 역할을 동시에 수행할 수 있는 것이다. 그러나 M-DAC와 아날로그 혼합기가 같은 주파수(f_{CLK})의 클럭으로 동작한 경우, 변조된 출력 신호의 주파수가 아날로그 혼합기의 경우 클럭 주파수(f_{CLK})로 변조된 출력 신호가 나오지만, M-DAC의 경우, $f_{CLK}/2$ 의 주파수로 변조된 출력 신호가 나오는 것을 볼 수 있다.

<55> 도 8a 및 도 8b는 종래의 아날로그 방식의 직교 변조기의 동작을 나타낸 예시도로서, 이를 참조하여 직교 변조기의 동작을 설명하면 다음과 같다.

<56> 도 8b를 보면 I채널과 Q채널 믹서의 출력 신호는 상술한 아날로그 혼합기의 동작과 같다. 그런데 I 채널 혼합기와 Q 채널 혼합기에 들어가는 클럭의 위상이 90도가 차이가 남에 따라 두 믹서의 출력도 클럭의 90도의 위상차에 해당하는 시간 지연(time delay)을 갖고 각각의 출력이 나타남을 볼 수 있다. 따라서, 아날로그 직교변조기의 출력신호는 I 채널과 Q 채널의 입력신호를 기준으로 보았을 때 하기 수학식처럼 4가지의 조합의 신호가 나오게 되고, 그 4가지 조합의 출력이 계속 반복되어 나타나는 것을 알 수 있다.

<57>

$$\begin{aligned} (1) & IB_A + QB_A \\ (2) & \overline{IB_A} + QB_A \\ (3) & \overline{IB_A} + \overline{QB_A} \\ \text{【수학식 1】 } (4) & IB_A + \overline{QB_A} \end{aligned}$$

<58> 상기 설명에서 M-DAC가 아날로그 믹서와 같은 동작을 한다고 하였으므로, 이 M-DAC를 이용하여 도 8a의 아날로그 직교변조기와 같은 구성을 하면 마찬가지로 M-DAC를 이용한 직교변조기를 구성할 수 있다. 이렇게 구성된 직교변조와 디지털-아날로그 변환을 동시에 수행하는 새로운 구조의 직교변조기 및 그 동작이 도 9a 및 도 9b에 도시되어 있다.

<59> 도 9a는 본 발명의 일 실시예에 의한 직교 변조 송신기의 디지털 처리부(410)를 나타낸 블록도이고, 도 9b는 도 9a에 따른 디지털 처리부(410)의 동작을 나타낸 타이밍도로서, 이에 관하여 설명하면 다음과 같다.

<60> 본 발명에서 제안한 이 새로운 구조의 디지털-아날로그 변환과 직교변조를 동시에 수행하는 직교변조기를 직교 변조 DAC(Quadrature Modulation DAC, QMDAC)라 하겠다. 도 9a를 보면, 직교 변조 DAC의 I채널과 Q채널은 각각 앞에서 설명한 M-DAC로 구성되었으므로 각 채널의 동작은 도 9b에서 볼 수 있듯이 앞에서 설명한 M-DAC의 동작과 같다. 그런데 이 두 M-DAC를 이용해 직교변조기를 구현하기 위해서는 각 M-DAC에 입력되는 클럭의 위상이 차이가 나게 된다

. 기존에 사용되던 아날로그 직교변조기의 경우 I 채널의 클럭과 Q 채널의 클럭 사이에는 90도의 위상차가 있다. 그런데 M-DAC를 이용해 직교변조기를 구현한 경우 I채널과 Q채널의 M-DAC에는 180도의 위상차를 갖는 클럭이 공급되게 된다. 그 이유는 다음과 같다. 직교변조기에서는 입력 신호를 직교변조기에 공급되는 클럭의 주파수 영역으로 변조되게 된다. 따라서, 직교변조를 하기 위해서는 각 채널의 혼합기에 공급되는 클럭은 이 변조 주파수를 기준으로 90도의 위상차를 갖는 클럭이 공급되어야 한다. 그런데, M-DAC의 경우 입력 신호를 M-DAC에 공급되는 클럭 주파수의 1/2되는 주파수 영역으로 변조시킨다. 따라서 M-DAC를 이용해 직교변조기를 구현한 경우 여기에 공급되는 클럭의 주파수를 f_{CLK} 라 하면 이 주파수의 1/2 주파수인 $f_{CLK}/2$ 주파수를 기준으로 90도의 위상차를 갖는 클럭이 I채널과 Q채널의 M-DAC에 가해져야 한다. 따라서 이를 f_{CLK} 기준으로 보면 180도의 위상차, 즉 반전관계를 갖는 클럭이 I채널과 Q채널의 M-DAC에 가해져야 하는 것이다. 이렇게 직교변조DAC의 각 채널에 공급되는 클럭과 입력 신호 사이의 관계, 그리고 어떻게 직교변조가 되는지에 대한 동작은 도 9b를 보면 알 수 있다.

<61> 또한, I 채널과 Q 채널의 M-DAC에 공급되는 클럭이 180도의 위상차를 갖는 클럭은 도 9a에서 볼 수 있듯이 하나의 인버터만을 사용하여 간단히 구현할 수 있다. 그러나 기존의 직교변조기에서는 90도의 위상차를 갖는 클럭을 만들어내기 위해서 상당히 복잡한 회로가 필요하였다. 이러한 부분의 차이도 직교변조DAC가 기존의 아날로그 믹서에 비해 간단한 구조를 가질 수 있도록 하는 것이다.

<62> 그리고, 직교변조기의 경우 I 채널과 Q 채널 사이의 이득 불일치(mismatch)

와 위상 불일치(mismatch)가 존재하지 않아야 한다. 그런데 아날로그 직교 변조기의 경우 I 채널과 Q 채널의 데이터가 디지털-아날로그 변환된 이후에 반-에일리어싱 필터와 아날로그 혼합기를 통과한 후 두 신호가 더해지게 된다. 따라서, 이득과 위상의 불일치(mismatch)가 발생할 수 있는 부분이 상대적으로 많이 된다. 그런데, 직교 변조 DAC의 경우 I 채널과 Q 채널의 데이터가 디지털-아날로그 변환과 동시에 직교변조를 하게 되므로 아날로그 믹서의 경우처럼 이득 불일치(mismatch)나 위상 불일치(mismatch)가 발생할 수 있는 부분이 대폭적으로 줄어들어서 I 채널과 Q 채널 사이의 이득 불일치(mismatch)와 위상 불일치(mismatch) 문제도 상대적으로 상당히 적게 된다.

<63> 다시 말하면, 도 9a에서 볼 수 있는 2개의 M-DAC를 이용해서 모뎀에서 생성된 I 채널의 디지털 데이터와 Q 채널에서 생성된 디지털 데이터를 디지털-아날로그 변환을 하면서 동시에 직교변조를 수행하는 새로운 구조의 직교변조기는 기존의 아날로그 직교변조기에 비해 구조도 간단하고, 전력 소모도 적으며, 이득 불일치(Mismatch)와 위상 불일치(Mismatch) 문제도 상당히 적은 장점을 갖게 된다. 이 직교 변조 DAC의 구조가 본 발명에서 제안한 새로운 구조의 직교변조 송신기에서 가장 핵심적인 부분이 된다.

<64> 본 발명에서 제안한 직교 변조 DAC는 모뎀에서 나오는 디지털 데이터를 바로 중간주파수 영역으로 변조시키는 역할을 한다. 따라서, 모뎀에서 나오는 디지털 데이터도 이 주파수에 따라서 데이터가 나와야 한다. 그런데, 기존의 모뎀의 경우는 중간주파수와 모뎀에서 나오는 데이터의 주파수가 다르다. 따라서, 모뎀에서 나오는 디지털 데이터의 속도를 중간주파수에 맞게 바꾸어줄 필요가 있다. 이를 위해서는 모뎀에서 생성된 데이터의 변환 속도를 중간주파수에 맞게 바꾸어주는 역할을 하는 디지털 필터가 모뎀과 직교 변조 DAC 사이에 필요하게 된다. 이

러한 구조의 직교 변조 DAC를 이용한 직교변조기의 구조가 도 10에 나타나 있다. 또한, 이 직교변조기를 이용한 송신기를 구성하는 경우 그 전체 구성은 도 11에서 볼 수 있다.

<65> 이상에서 설명한 본 발명은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지로 치환, 변형 및 변경이 가능하므로 전술한 실시예 및 첨부된 도면에 한정되는 것이 아니다.

【발명의 효과】

<66> 본 발명은, 새로운 구조의 직교변조기인 직교 변조 DAC(Quadrature Modulation DAC)를 이용함으로써, 기존에 사용되고 있는 헤테로다인 방식이나 디지털(Digital) IF 방식의 송신기에 비해 구조도 간단하고, 전력소모도 적으며, mismatch 문제도 상당히 적은 이점이 있다. 또한, 본 발명에 의하면, 현재 많이 사용되고 있는 여러가지 이동통신 단말기들을 보다 저렴하고, 저전력 소모 특성을 갖도록 만들 수 있는 이점이 있다.

**【특허청구범위】****【청구항 1】**

I 채널 데이터, Q 채널 데이터 및 클럭 신호를 입력받고, 상기 클럭 신호와 동일한 신호인 I 클럭 신호의 스위칭에 따라 상기 I 채널 데이터 또는 상기 I 채널 데이터의 반전 데이터를 I 채널 DAC를 통해 제1 아날로그 신호로 변조하고, 상기 클럭 신호의 반전 신호인 Q 클럭 신호의 스위칭에 따라 상기 Q 채널 데이터 또는 상기 Q 채널 데이터의 반전 데이터를 Q 채널 DAC를 통해 제2 아날로그 신호로 변조하는 디지털 처리부; 및

상기 디지털 처리부로부터 상기 제1 아날로그 신호 및 상기 제2 아날로그 신호를 입력받고, 상기 제1 아날로그 신호 및 상기 제2 아날로그 신호를 가산하고, 가산된 신호를 혼합 과정을 통하여 RF 신호 영역으로 이전하며, 이전된 신호를 증폭하여 전송하는 아날로그 처리부를 포함하는 것을 특징으로 하는 직교 변조 송신기.

【청구항 2】

제1항에 있어서, 상기 디지털 처리부는,

상기 I 채널 데이터를 입력받아 반전하는 제1 인버터;

상기 I 클럭 신호를 클럭 단자로 입력받고, 상기 I 클럭 신호에 따라 제1 스위치 제어 신호를 출력하는 제1 T 플립플롭;

상기 제1 T 플립플롭의 출력 신호가 제1 논리 단계인 경우에는 상기 제1 인버터의 출력 신호를 도통시키고, 상기 제1 T 플립플롭의 출력 신호가 제2 논리 단계인 경우에는 상기 I 채널 데이터를 도통시키는 제1 스위치;

클럭 단자로 상기 I 클럭 신호를 입력받아 상기 제1 스위치를 통하여 입력된 신호를 아날로그 신호로 변환하는 동시에 변조하는 제1 DAC;

상기 클럭 신호를 반전한 후, 그 결과값을 상기 Q 클럭 신호로서 출력하는 제2 인버터;

상기 Q 채널 데이터를 입력받아 반전하는 제3 인버터;

상기 Q 클럭 신호를 클럭 단자로 입력받고, 상기 Q 클럭 신호에 따라 제2 스위치 제어 신호를 출력하는 제2 T 플립플롭;

상기 제2 T 플립플롭의 출력 신호가 제1 논리 단계인 경우에는 상기 제3 인버터의 출력 신호를 도통시키고, 상기 제2 T 플립플롭의 출력 신호가 제2 논리 단계인 경우에는 상기 Q 채널 데이터를 도통시키는 제2 스위치; 및

클럭 단자로 상기 Q 클럭 신호를 입력받아 상기 제2 스위치를 통하여 입력된 신호를 아날로그 신호로 변환하는 동시에 변조하는 제2 DAC

를 포함하는 것을 특징으로 하는 직교 변조 송신기.

【청구항 3】

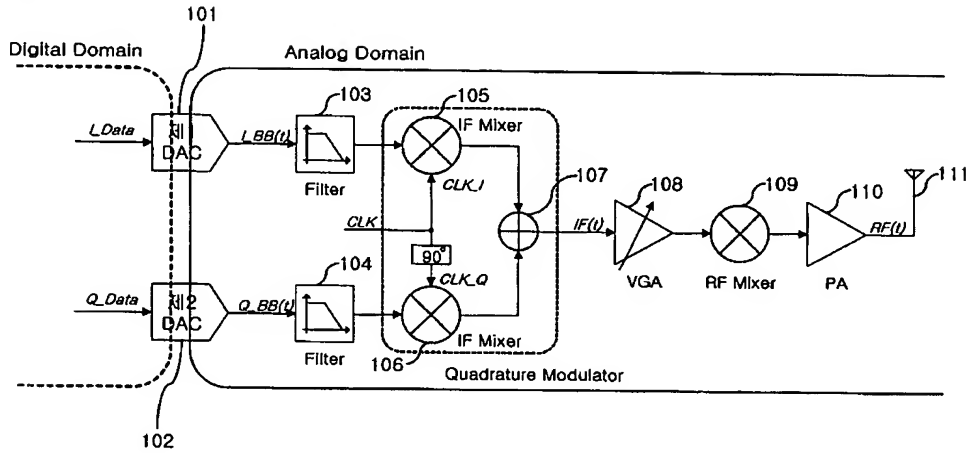
제1항 또는 제2항에 있어서,

모뎀에서 출력된 I채널 디지털 데이터 및 Q채널 디지털 데이터의 변환 속도를 중간 주파수에 맞게 변경한 후, 상기 디지털 처리부로 상기 I 채널 데이터 및 상기 Q 채널 데이터로서 출력하는 디지털 필터

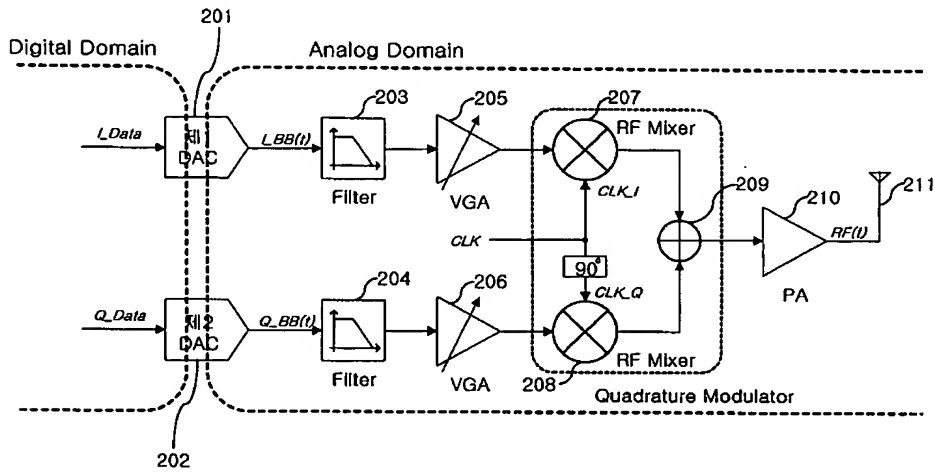
를 더 포함하는 것을 특징으로 하는 직교 변조 송신기.

【도면】

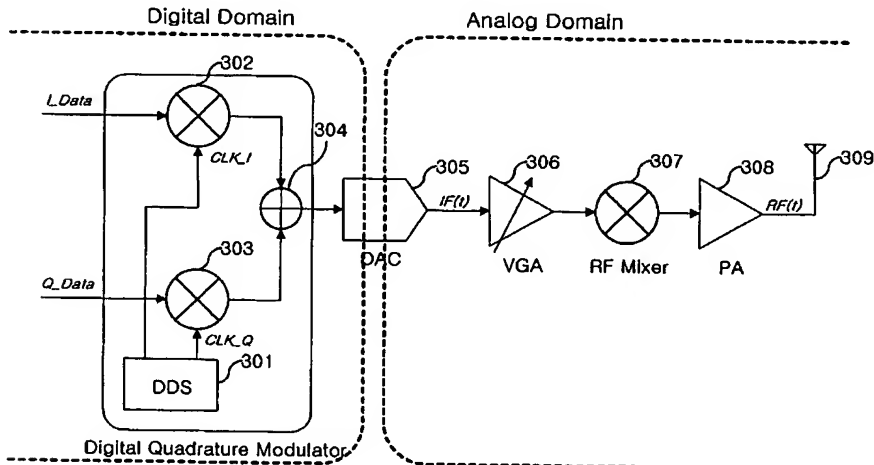
【도 1】



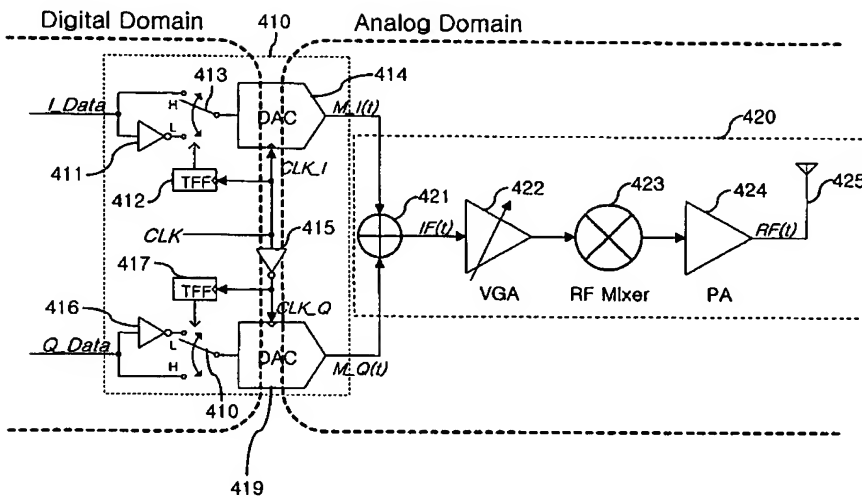
【도 2】



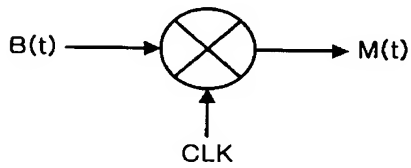
【도 3】



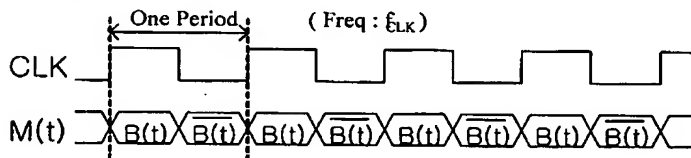
【도 4】



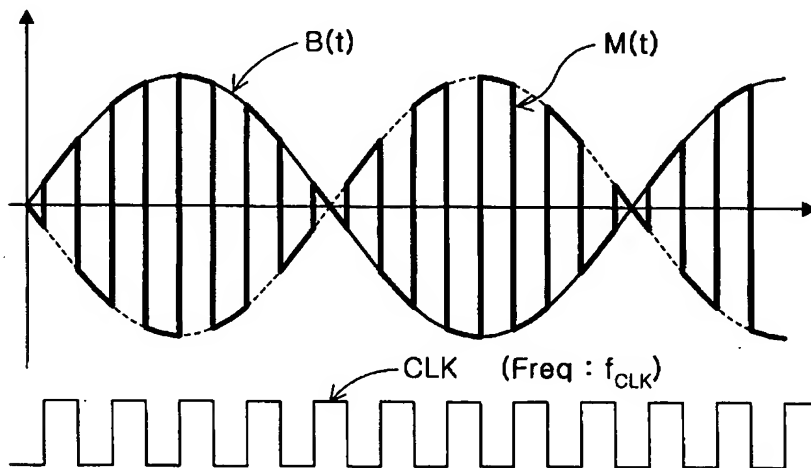
【도 5a】



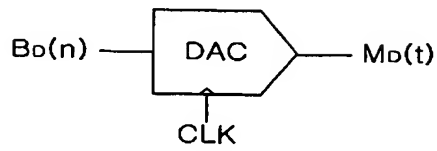
【도 5b】



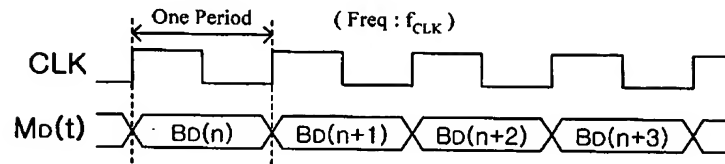
【도 5c】



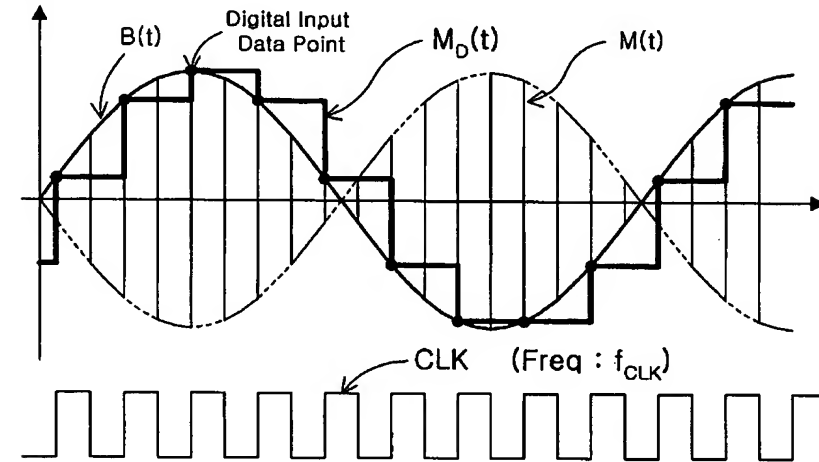
【도 6a】



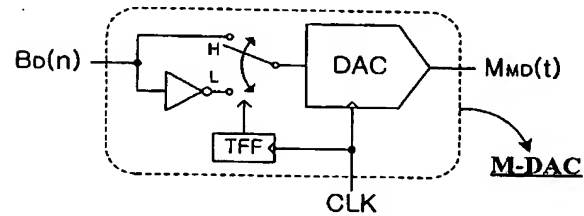
【도 6b】



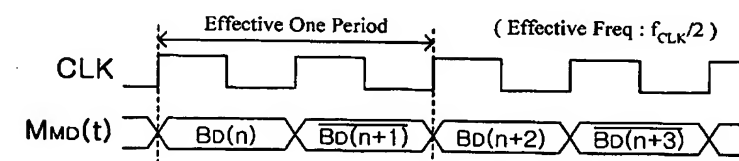
【도 6c】



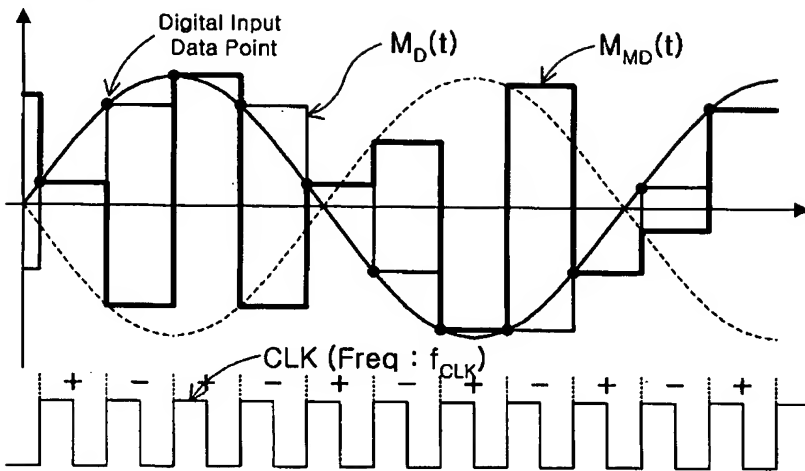
【도 7a】



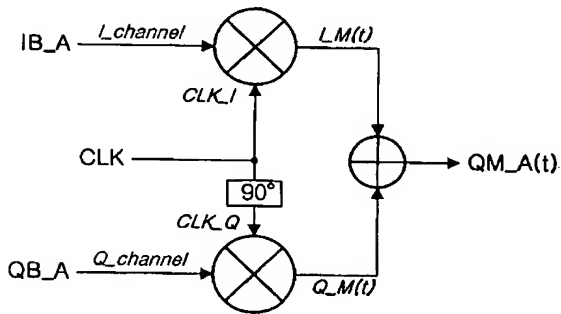
【도 7b】



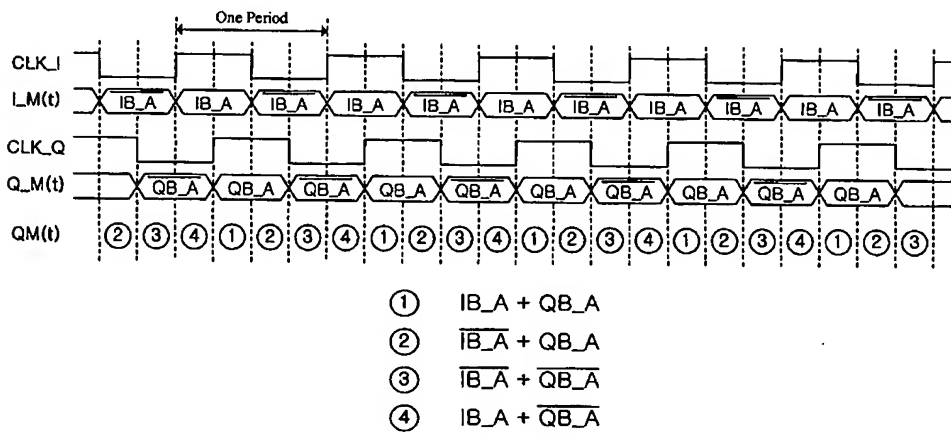
【도 7c】



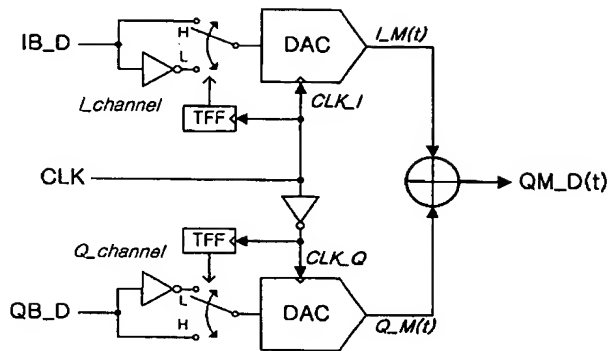
【도 8a】



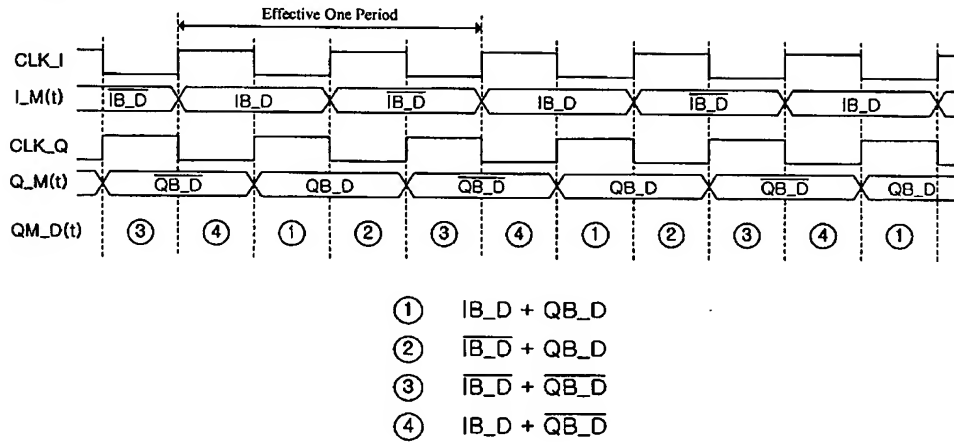
【도 8b】



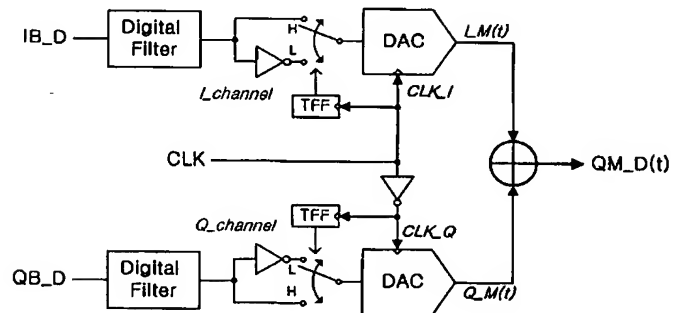
【도 9a】



【도 9b】



【도 10】





1020020079924

출력 일자: 2003/12/2

【도 11】

